



Japanese publication No. 2002-076246

\* NOTICES \*

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] The process which prepares an electric conduction foil, forms a separation slot shallower than the thickness of said electric conduction foil in said electric conduction foil of the field except the electric conduction pattern which forms much loading sections of a circuit element at least, and forms an electric conduction pattern, The process which fixes a circuit element in said each loading section of said desired electric conduction pattern, The process which carries out common mold by insulating resin so that said circuit element of each loading section may be covered collectively and said separation slot may be filled up, The process which removes said electric conduction foil of the thickness part which has not prepared said separation slot, The manufacture approach of the circuit apparatus characterized by providing the process which measures the property of said circuit element of each loading section by which mold was collectively carried out by said insulating resin, and the process which separates said insulating resin by dicing for every loading section.

[Claim 2] The process which prepares an electric conduction foil, forms a separation slot shallower than the thickness of said electric conduction foil in said electric conduction foil of the field except the electric conduction pattern which forms much loading sections of a circuit element at least, and forms an electric conduction pattern, The process which fixes a circuit element in said each loading section of said desired electric conduction pattern, The process which carries out common mold by insulating resin so that said circuit element of the process which forms the connecting means which connects electrically the electrode of the circuit element of each of said loading section and said desired electric conduction pattern, and each loading section may be covered collectively and said separation slot may be filled up, The process which removes said electric conduction foil of the thickness part which has not prepared said separation slot, The manufacture approach of the circuit apparatus characterized by providing the process which measures the property of said circuit element of each loading section by which mold was collectively carried out by said insulating resin, and the process which separates said insulating resin by dicing for every loading section.

[Claim 3] Said electric conduction foil is the manufacture approach of the circuit apparatus indicated by claim 1 or claim 2 characterized by consisting of copper, aluminum, or iron-nickel.

[Claim 4] The manufacture approach of the circuit apparatus indicated by claim 1 or claim 2 characterized by covering the front face of said electric conduction foil with an electric conduction coat partially at least.

[Claim 5] Said electric conduction coat is the manufacture approach of the circuit apparatus indicated by claim 4 characterized by nickel, gold, or carrying out silver plating formation.

[Claim 6] Said separation slot alternatively formed in said electric conduction foil is chemical or the manufacture approach of a circuit apparatus indicated by claim 1 or claim 2 characterized by being formed of physical etching.

[Claim 7] Said circuit element is the manufacture approach of the circuit apparatus indicated by claim 1 or claim 2 characterized by fixing both a semi-conductor bare chip, and chip circuit both [ either or ].

[Claim 8] Said connecting means is the manufacture approach of the circuit apparatus indicated by claim 2 characterized by being formed by wire bonding.

[Claim 9] Said insulating resin is the manufacture approach of the circuit apparatus indicated by claim 1 or claim 2 characterized by adhering in a transfer mold.

[Claim 10] The manufacture approach of the circuit apparatus indicated by claim 1 or claim 2 characterized by arranging in said electric conduction foil two or more blocks which arranged the electric conduction pattern which forms much loading sections of a circuit element at least in the shape of a matrix.

[Claim 11] Said insulating resin is the manufacture approach of the circuit apparatus indicated by claim 10 characterized by adhering in a transfer mold for said every block.

[Claim 12] Said each block by which mold was carried out by said insulating resin is the manufacture approach of the circuit apparatus indicated by claim 10 characterized by dissociating from the residual section of said electric conduction foil after the process which removes said electric conduction foil of the thickness part which has not prepared said separation slot.

[Claim 13] The manufacture approach of the circuit apparatus indicated by claim 10 characterized by measuring the property of said circuit element of each loading section for said each [ by which mold was carried out by said insulating resin ] the block of every.

[Claim 14] The manufacture approach of the circuit apparatus indicated by claim 10 characterized by separating into each loading section by dicing for said each [ by which mold was carried out by said insulating resin ] the block of every.

[Claim 15] The manufacture approach of the circuit apparatus indicated by claim 14 characterized by performing dicing using the alignment mark formed together with said electric conduction pattern.

[Claim 16] The manufacture approach of the circuit apparatus indicated by claim 14 characterized by performing dicing using the alignment mark which was formed together with said electric conduction pattern, and which counters.

[Claim 17] Said each block by which mold was carried out by said insulating resin is the manufacture approach of the circuit apparatus indicated by claim 14 characterized by sticking to an installation base under vacuum and performing dicing.

[Claim 18] The manufacture approach of the circuit apparatus indicated by claim 17 which makes mostly the cutting depth at the time of the dicing of said insulating resin the thickness of said insulating resin, and is characterized by separating into the circuit apparatus which divided mechanically after that and became independent.

[Claim 19] The manufacture approach of the circuit apparatus indicated by claim 17 which carries out completely the cutting depth at the time of the dicing of said insulating resin to more than the thickness of said insulating resin, and is characterized by separating into the circuit apparatus which became independent at the time of dicing.

---

[Translation done.]

\* NOTICES \*

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the manufacture approach of the thin circuit apparatus which made the support substrate unnecessary about the manufacture approach of a circuit apparatus.

[0002]

[Description of the Prior Art] Conventionally, since the circuit apparatus set to electronic equipment is adopted as a cellular phone, a portable computer, etc., a miniaturization, thin-shape-izing, and lightweight-ization are called for.

[0003] For example, when it states by making a semiconductor device into an example as a circuit apparatus, there is a package mold semiconductor device by which the closure was carried out by the conventional usual transfer mold as a common semiconductor device. This semiconductor device is mounted in printed circuit board PS like drawing 10.

[0004] Moreover, this package mold semiconductor device covers the perimeter of a semiconductor chip 2 with the resin layer 3, and the lead terminal 4 for external connection is drawn from the flank of this resin layer 3.

[0005] However, the lead terminal 4 had come from the resin layer 3 outside, the whole size of this package mold semiconductor device 1 was large, and it was not what satisfies a miniaturization, thin-shape-izing, and lightweight-ization.

[0006] Therefore, that each company should compete and miniaturization, thin-shape-izing, and lightweight-ization should be realized, various structures are developed and, recently, CSP of larger size a little than the wafer scale CSP equivalent to the size of a chip or chip size called CSP (chip-size package) is developed.

[0007] Drawing 11 shows larger CSP6 a little which adopted the glass epoxy group plate 5 as a support substrate than a chip size. Here, it explains as that by which the transistor chip T was mounted in the glass epoxy group plate 5.

[0008] The 1st electrode 7, 2nd electrode 8, and die pad 9 are formed in the front face of this glass epoxy group plate 5, and the 1st rear-face electrode 10 and the 2nd rear-face electrode 11 are formed in the rear face. And the 2nd electrode 8 and the 2nd rear-face electrode 11 are electrically connected for said 1st electrode 7 and the 1st rear-face electrode 10 through the through hole TH. Moreover, to a die pad 9, the transistor chip T of said raise in basic wages fixes, the emitter electrode and the 1st electrode 7 of a transistor are connected through the metal thin line 12, and the base electrode and the 2nd electrode 8 of a transistor are connected through the metal thin line 12. Furthermore, the resin layer 13 is formed in the glass epoxy group plate 5 so that a transistor chip T may be covered.

[0009] Although the glass epoxy group plate 5 is used for said CSP6, unlike the wafer scale CSP, it is simple for the extension structure from Chip T to the rear-face electrodes 10 and 11 for external connection, and has the merit which can be manufactured cheaply.

[0010] Moreover, said CSP6 is mounted in printed circuit board PS like drawing 10. The electrode and wiring which constitute an electrical circuit are prepared, it connects with printed circuit board PS electrically, and said CSP6, the package mold semiconductor device 1, chip resistor CR, or a chip capacitor CC fixes to it.

[0011] And the circuit which consisted of this printed circuit board is attached into various sets.

[0012] Below, the manufacture approach of this CSP is explained, referring to drawing 12 and drawing 13.

[0013] The glass epoxy group plate 5 is first prepared as a base material (support substrate), and the Cu foils 20 and 21 are stuck to these both sides by pressure through insulating adhesives. see the drawing 12 A above)

Then, the resist 22 of etching-proof nature is covered in the Cu foils 20 and 21 with which the 1st electrode 7, the 2nd electrode 8, a die pad 9, the 1st rear-face electrode 10, and the 2nd correspond rear-face electrode 11, and patterning of the Cu foils 20 and 21 is carried out. In addition, even if patterning is separate on a table and the reverse side, it is good. see the drawing 12 B above)

Then, the hole for a through hole TH is formed in said glass epoxy group plate using a drill or laser, it plates to this hole and a through hole TH is formed. The 1st electrode 7, the 1st rear-face electrode 10 and the 2nd electrode 8, and the 2nd rear-face electrode 10 are electrically connected by this through hole TH. see drawing 12 C above)

Furthermore, although omitted in the drawing, while performing Au plating to a bonding post, and the 1st electrode 7 and the 2nd electrode 8 which change, Au plating is performed to the die pad 9 used as a die bonding post, and die bonding of the transistor chip T is carried out.

[0014] Finally, it connected through the metal thin line 12, and the emitter electrode of a transistor chip T, the 1st electrode 7 and the base electrode of a transistor chip T, and the 2nd electrode 8 are covered with the resin layer 13. see the drawing 12 D above)

By the above manufacture approach, the electric element of the CSP mold which adopted the support substrate 5 is completed. Even if a flexible sheet is used for this manufacture approach as a support substrate, it is the same.

[0015] On the other hand, the manufacture approach which adopted the ceramic substrate is shown in the flow of drawing 13. After preparing the ceramic substrate which is a support substrate, the through hole was formed, after that, conductive paste was used, and the electrode of a table and a flesh side is printed and sintered. Then, it is the same as the manufacture approach of drawing 12 R> 2 until it covers the resin layer of the pre-manufacture approach, but a ceramic substrate is very weak, and unlike a flexible sheet or a glass epoxy group plate, since it is missing immediately, it has the problem which cannot do the mold using metal mold.

Therefore, after carrying out potting of the closure resin and hardening it, polish which makes closure resin Taira and others is given, and individual separation is carried out at the last using dicing equipment.

[0016]

[Problem(s) to be Solved by the Invention] In drawing 11, although a transistor chip T, connecting means 7-12, and the resin layer 13 were components required when carrying out electrical installation with the exterior, and protection of a transistor, they were difficult for offering the circuit element which realizes miniaturization, thin-shape-izing, and lightweight-

ization with the component of only this.

[0017] Moreover, originally the glass epoxy group plate 5 used as a support substrate is unnecessary, as mentioned above. However, on the manufacture approach, since an electrode was stuck, it had adopted as a support substrate and this glass epoxy group plate 5 was not able to be lost.

[0018] Therefore, by adopting this glass epoxy group plate 5, cost went up, since the glass epoxy group plate 5 was still thicker, it became thick as a circuit element and the limitation was in a miniaturization, thin-shape-izing, and lightweight-ization.

[0019] Furthermore, in the glass epoxy group plate or the ceramic substrate, the through hole formation process which surely connects a double-sided electrode is indispensable, and the production process and the problem which becomes long had it.

[0020]

[Means for Solving the Problem] The process which accomplishes this invention in view of many technical problems mentioned above, prepares an electric conduction foil, forms a separation slot shallower than the thickness of said electric conduction foil in said electric conduction foil of the field except the electric conduction pattern which forms much loading sections of a circuit element at least, and forms an electric conduction pattern, The process which fixes a circuit element in said each loading section of said desired electric conduction pattern, The process which carries out common mold by insulating resin so that said circuit element of each loading section may be covered collectively and said separation slot may be filled up, It is characterized by providing the process which removes said electric conduction foil of the thickness part which has not prepared said separation slot, the process which measures the property of said circuit element of each loading section by which mold was collectively carried out by said insulating resin, and the process which separates said insulating resin by dicing for every loading section.

[0021] In this invention, an electric conduction foil has a support function until the mold of the insulating resin is carried out, after mold can make a support substrate unnecessary because insulating resin has a support function, and the electric conduction foil which forms an electric conduction pattern is the ingredient of a start, and it can solve the conventional technical problem. Moreover, in this invention, since mold, measurement, and dicing are made for every block, many circuit apparatus can be mass-produced and the conventional technical problem can be solved.

[0022]

[Embodiment of the Invention] It explains referring to drawing 1 about the manufacture approach of the circuit apparatus of this invention first.

[0023] The process which this invention prepares an electric conduction foil, forms a separation slot shallower than the thickness of said electric conduction foil in said electric conduction foil of the field except the electric conduction pattern which forms much loading sections of a circuit element at least, and forms an electric conduction pattern, The process which fixes a circuit element in said each loading section of said desired electric conduction pattern, The process which carries out common mold by insulating resin so that said circuit element of each loading section may be covered collectively and said separation slot may be filled up, It consists of a process which removes said electric conduction foil of the thickness part which has not prepared said separation slot, a process which measures the property of said circuit element of each loading section by which mold was collectively carried out by said insulating resin, and a process which separates said insulating resin by dicing for every loading section.

[0024] Although the flow shown in drawing 1 is not in agreement with the process mentioned above, formation of an electric conduction pattern is performed by three flows, Cu foil, Ag plating, and half etching. Connection of fixing of the circuit element to each loading section, the electrode of a circuit element, and an electric conduction pattern is made by die bond and two flows of wire bonding. The common mold by insulating resin is performed in the flow of a transfer mold. In the flow of rear-face Cu foil removal, etching of the electric conduction foil of a thickness part without a separation slot is performed. In the flow of rear-face processing, electrotreatment of the electric conduction pattern exposed to the rear face is performed. In the flow of measurement, the excellent article distinction of a circuit element and the property rank division which were included in each loading section are performed. Separation to the circuit element according to individual is performed by the flow of dicing by dicing from insulating resin.

[0025] Below, each process of this invention is explained with reference to drawing 2 - drawing 9.

[0026] The 1st process of this invention is to prepare the electric conduction foil 60, form the separation slot 61 shallower than the thickness of the electric conduction foil 60 in the electric conduction foil 60 of the field except the electric conduction pattern 51 which forms much loading sections of a circuit element 52 at least, and form the electric conduction pattern 51, as shown in drawing 4 from drawing 2.

[0027] At this process, the sheet-like electric conduction foil 60 is first prepared like drawing 2 A. As for this electric conduction foil 60, the electric conduction foil which the adhesion of low material, bonding nature, and plating nature are taken into consideration, and that ingredient is chosen, and consists of alloys, such as an electric conduction foil which made Cu the charge of a principal member as an ingredient, an electric conduction foil which made aluminum the charge of a principal member, or Fe-nickel, is adopted.

[0028] When the thickness of an electric conduction foil took next etching into consideration, 10 micrometers - about 300 micrometers were desirable, and 70 micrometers (2 unciae) copper foil was adopted here. However, 300 micrometers or more or at least 10 micrometers or less are fundamentally good. What is necessary is just to be able to form the separation slot 61 shallower than the thickness of the electric conduction foil 60 so that it may mention later.

[0029] In addition, by predetermined width of face, for example, 45mm, it is wound in the shape of a roll, and is prepared, and it may be conveyed by each process which this mentions later, the electric conduction foil 60 of the shape of a strip of paper cut into predetermined magnitude may be prepared, and the sheet-like electric conduction foil 60 may be conveyed by each process mentioned later.

[0030] As shown in drawing 2 B, 4-5 blocks 62 with which much loading sections are formed in the strip-of-paper-like electric conduction foil 60 estrange, and, specifically, are put in order. A slit 63 is formed between each block 62, and the stress of the electric conduction foil 60 generated in the heat-treatment in a mold process etc. is absorbed. Moreover, an index hole 64 is formed in the vertical peripheral edge of the electric conduction foil 60 at fixed spacing, and it is used for positioning at each process.

[0031] Then, an electric conduction pattern is formed.

[0032] First, as shown in drawing 3, Photoresist (etching-proof mask) PR is formed on the Cu foil 60, and patterning of the photoresist PR is carried out so that the electric conduction foil 60 except the field used as the electric conduction pattern 51 may be exposed. And as shown in drawing 4 A, the electric conduction foil 60 is alternatively etched through Photoresist PR.

[0033] The depth of the separation slot 61 formed of etching is 50 micrometers, and since the side face turns into a split face, its adhesive property with insulating resin 50 improves.

[0034] Moreover, although the side attachment wall of this separation slot 61 is typically straight and is illustrated, it serves as structure which changes with removal approaches. Evaporation by wet etching, dry etching, and laser and dicing can be used for this removal process. In the case of wet etching, as for etchant, a ferric chloride or a cupric chloride is mainly adopted, dipping of said electric conduction foil is carried out into this etchant, or a shower ring is carried out by this etchant. Since wet etching is generally etched into a non-anisotropy, a side face becomes curve structure here.

[0035] Moreover, in the case of dry etching, it can etch by the anisotropy and the non-anisotropy. Although it is said in current that it is impossible to remove Cu by reactive ion etching, it is removable by sputtering. Moreover, it can etch by the anisotropy and the non-anisotropy according to the conditions of sputtering.

[0036] Moreover, by laser, a direct laser beam is applied, the separation slot 61 can be formed, and the side face of the separation slot 61 is rather formed straight in this case.

[0037] In addition, in drawing 3, the electric conduction coat (not shown) which has corrosion resistance to an etching reagent instead of a photoresist may be covered alternatively. If a track and the part which changes are covered alternatively, this electric conduction coat turns into an etching protective coat, and a separation slot can be etched, without adopting a resist. The ingredient considered as this electric conduction coat is Ag, nickel, Au, Pt, or Pd. And the electric conduction coat of these corrosion resistance has the description utilizable as it is as a die pad and a bonding pad.

[0038] For example, it pastes up with Au and low material pastes up Ag coat. Therefore, if Au coat is covered by the chip rear face, the thermocompression bonding of the chip can be carried out to Ag coat on a track 51 as it is, and a chip can be fixed through low material, such as solder. Moreover, since Au thin line can be pasted up on the electric conduction coat of Ag, wire bonding also becomes possible. Therefore, it has the merit which can utilize these electric conduction coats as a die pad and a bonding pad as they are.

[0039] The concrete electric conduction pattern 51 is shown in drawing 4 B. This Fig. expanded one of the blocks 62 shown by drawing 2 B, and carries out thing correspondence. One of the part applied black is the one loading section 65, the electric conduction pattern 51 is constituted, much loading sections 65 are arranged by one block 62 in the shape of [ of five line ten trains ] a matrix, and the same electric conduction pattern 51 is formed every loading section 65. The frame-like pattern 66 is formed around each block, a few is estranged with it and the alignment mark 67 at the time of dicing is formed in the inside. The frame-like pattern 66 has the work which is used for fitting with mold metal mold, and reinforces insulating resin 50 after rear-face etching of the electric conduction foil 60.

[0040] As shown in drawing 5, the 2nd process of this invention fixes a circuit element 52 in each loading section 65 of the desired electric conduction pattern 51, and is to form the connecting means which connects electrically the electrode of the circuit element 52 of each loading section 65, and the desired electric conduction pattern 51.

[0041] As a circuit element 52, they are passive elements, such as semiconductor devices, such as a transistor, diode, and IC chip, a chip capacitor, and a chip resistor. Moreover, although thickness becomes thick, the semiconductor device of face downs, such as CSP and BGA, can also be mounted.

[0042] Here, die bonding of the transistor chip 52A of raise in basic wages is carried out to

electric conduction pattern 51A, and it is connected through metal thin line 55A which an emitter electrode, electric conduction pattern 51B and a base electrode, and electric conduction pattern 51B fixed by the ball bonding by thermocompression bonding, or the wedge bonding by the supersonic wave. Moreover, 52B is a chip capacitor or a passive element, and fixes by low material, such as solder, or conductive paste 55B.

[0043] At this process, since many electric conduction patterns 51 are accumulated by each block 62, there is an advantage which fixing and wire bonding of a circuit element 52 can perform very efficiently.

[0044] As shown in drawing 6, the 3rd process of this invention covers the circuit element 52 of each loading section 63 collectively, and is to carry out common mold by insulating resin 50 so that the separation slot 61 may be filled up.

[0045] At this process, as shown in drawing 6 A, insulating resin 50 covers completely circuit elements 52A and 52B and two or more electric conduction patterns 51A, 51B, and 51C, fits into the separation slot 61 between the electric conduction patterns 51 with the curve structure of the side face of the electric conduction patterns 51A, 51B, and 51C in which it filled up with insulating resin 50, and is combined firmly. And the electric conduction pattern 51 is supported with insulating resin 50.

[0046] Moreover, at this process, it is realizable with a transfer mold, injection molding, or dipping. As a resin ingredient, thermosetting resin, such as an epoxy resin, can be realized by the transfer mold, and thermoplastics, such as polyimide resin and polyphenylene sulfide, can be realized by injection molding.

[0047] Furthermore, at this process, a transfer mold or in case injection molding is carried out, as shown in drawing 6 B, each block 62 dedicates the loading section 63 to one common mold metal mold, and performs mold in common with one insulating resin 50 for every block. For this reason, reduction of the large amount of resin can be aimed at compared with the approach of carrying out the mold of each loading section according to an individual like the conventional transfer mold.

[0048] The thickness of the insulating resin 50 covered by electric conduction foil 60 front face is adjusted so that about 100 micrometers may be covered from the maximum crowning of bonding wire 55A of a circuit element 52. This thickness can also be made [ also thickening in consideration of reinforcement, and ] thin.

[0049] The description of this process is that the electric conduction foil 60 used as the electric conduction pattern 51 serves as a support substrate until it covers insulating resin 50. Although the support substrate 5 which originally is not needed is adopted like drawing 12 and tracks 7-11 are formed in the former, the electric conduction foil 60 used as a support substrate is an ingredient required as an electrode material in this invention. Therefore, it has the merit which can work excluding a component as much as possible, and the fall of cost can also be realized.

[0050] Moreover, since the separation slot 61 is formed more shallowly than the thickness of an electric conduction foil, the electric conduction foil 60 is not separately separated as an electric conduction pattern 51. Therefore, in case it can be dealt with by one as a sheet-like electric conduction foil 60 and the mold of the insulating resin 50 is carried out, it has the description to which conveyance to metal mold and the activity of mounting to metal mold become very easy.

[0051] The 4th process of this invention is to remove the electric conduction foil 60 of the thickness part which has not formed the separation slot 61, as shown in drawing 6.

[0052] This process is separated as an electric conduction pattern 51, removing the rear face of the electric conduction foil 60 chemically and/or physically. This process is given by polish,

grinding, etching, metal evaporation of laser, etc.

[0053] In the experiment, about 30 micrometers of whole surface are deleted with polish equipment or grinding attachment, and insulating resin 50 is exposed from the separation slot 61. By drawing 6, the dotted line shows this field exposed. Consequently, it becomes the electric conduction pattern 51 with a thickness of about 40 micrometers, and dissociates. Moreover, to this side which insulating resin 50 exposes, whole surface WETO etching of the electric conduction foil 60 may be carried out, the whole surface may be deleted with polish or grinding attachment after that, and insulating resin 50 may be exposed. Furthermore, whole surface WETO etching may be carried out to the location which shows the electric conduction foil 60 by the dotted line, and insulating resin 50 may be exposed.

[0054] Consequently, it becomes the structure which the rear face of the electric conduction pattern 51 exposes to insulating resin 50. That is, the front face of insulating resin 50 and the front face of the electric conduction pattern 51 with which the separation slot 61 was filled up have structure which is substantially in agreement. Therefore, since a level difference is not prepared like the conventional rear-face electrodes 10 and 11 shown in drawing 11, the circuit apparatus 53 of this invention has the description which moves horizontally and can carry out a self aryne as it is in the surface tension of solder etc. at the time of mounting.

[0055] Furthermore, rear-face processing of the electric conduction pattern 51 is performed, and the last structure shown in drawing 7 is acquired. That is, electric conduction material, such as solder, is put on the electric conduction pattern 51 exposed as occasion demands, and it completes as a circuit apparatus.

[0056] The 5th process of this invention is to measure the property of the circuit element 52 of each loading section 63 by which mold was collectively carried out by insulating resin 50, as shown in drawing 8.

[0057] After carrying out rear-face etching of the electric conduction foil 60 at a last process, each block 62 is separated from the electric conduction foil 60. Since this block 62 is connected with the residual section of the electric conduction foil 60 by insulating resin 50, it can be attained by removing from the residual section of the electric conduction foil 60 mechanically not using cutting metal mold.

[0058] As shown in drawing 8, the rear face of the electric conduction pattern 51 is exposed to the rear face of each block 62, and each loading section 65 is arranged in the shape of a matrix completely identically to the time of electric conduction pattern 51 formation. A probe 68 is applied to the rear-face electrode 56 exposed from the insulating resin 50 of this electric conduction pattern 51, the property parameter of the circuit element 52 of each loading section 65 etc. is measured according to an individual, right [ poor ] is judged, and magnetic ink etc. performs marking to a defective.

[0059] At this process, since the circuit apparatus 53 of each loading section 65 is supported by one every block 62 by insulating resin 50, it does not dissociate according to the individual scatteringly. Therefore, the block 62 put on a circuit tester's installation base is making pitch delivery a lengthwise direction and a longitudinal direction like an arrow head by the size of the loading section 65, and can measure the circuit apparatus 53 of each loading section 65 of block 62 in large quantities very early. That is, since distinction of the front flesh side of the circuit apparatus which was the need conventionally, recognition of the location of an electrode, etc. can be performed unnecessarily, large compaction of the measuring time can be aimed at.

[0060] The 6th process of this invention is to separate insulating resin 50 by dicing every loading section 65, as shown in drawing 9.

[0061] At this process, block 62 is made to stick to the installation base of dicing equipment under vacuum, the dicing of the insulating resin 50 of the separation slot 61 is carried out along the dicing line 70 between each loading section 65 with the dicing blade 69, and it separates into the circuit apparatus 53 according to individual.

[0062] After carrying out in the cutting depth from which the dicing blade 69 cuts insulating resin 50 mostly at this process and taking out block 62 from dicing equipment, it is good to carry out chocolate breaking with a roller. Or the dicing blade 69 may be performed in the cutting depth which cuts insulating resin 50 completely, and may tape by the direct adsorption collet from an installation base.

[0063] In addition, the alignment mark 67 which was prepared inside the pattern 66 of the surrounding shape of a frame of each block established at the 1st process beforehand mentioned above and which carries out phase opposite is recognized at the time of dicing, and it performs dicing on the basis of this. Although it is common knowledge, after dicing makes dicing a lengthwise direction for all the dicing lines 70, it rotates an installation base 90 degrees and performs dicing according to the lateral dicing line 70.

[0064]

[Effect of the Invention] In this invention, when the electric conduction foil used as the ingredient of an electric conduction pattern itself is operated as a support substrate, and the time of the time of formation of a separation slot or mounting of a circuit element, and covering of insulating resin supports the whole with an electric conduction foil and an electric conduction foil is separated as each electric conduction pattern, insulating resin is operated by making it a support substrate. Therefore, it can manufacture by the necessary minimum of a circuit element, an electric conduction foil, and insulating resin. As the conventional example explained, when a circuit apparatus is originally constituted, it stops needing a support substrate and can do in cost and cheaply. Moreover, there is also a merit which can form a very thin circuit apparatus according to that a support substrate is unnecessary, that the electric conduction pattern is embedded to insulating resin, and adjustment of the thickness of insulating resin and an electric conduction foil being still more possible.

[0065] Next, in this invention, it has further the advantage for which reduction of the large amount of resin can be aimed at and which can process for every block at a measurement process and a dicing process by performing the common mold for every block at the mold process of insulating resin. Therefore, since the circuit apparatus of each loading section of a block can be measured in large quantities very early at a measurement process and distinction of the front flesh side of the circuit apparatus which was the need conventionally, recognition of the location of an electrode, etc. can be performed unnecessarily, large compaction of the measuring time can be aimed at. Moreover, at a dicing process, it has the advantage to which recognition of a dicing line is early ensured using an alignment mark. Furthermore, cutting of only an insulating resin layer is sufficient as dicing, and it does not have generating of the metal weld flash generated when the life of a dicing blade can also be lengthened and it cuts an electric conduction foil by not cutting an electric conduction foil, either. Furthermore, since a dicing sheet is not used again, the attachment activity and exfoliation of the block to a dicing sheet also become unnecessary.

[0066] Moreover, since the formation process of a through hole, the presswork (in the case of a ceramic substrate) of a conductor, etc. can be skipped from drawing 13 so that clearly, conventionally, a production process can be sharply shortened from before and it has the advantage which can \*\* a stroke inside. Moreover, frame metal mold is also unnecessary entirely and it is the manufacture approach which serves as short time for delivery extremely.

---

[Translation done.]

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076246

(43)Date of publication of application : 15.03.2002

---

(51)Int.Cl.

H01L 25/04

H01L 25/18

H01L 21/56

H01L 23/50

---

(21)Application number : 2000-266737

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 04.09.2000

(72)Inventor : SAKAMOTO NORIAKI

KOBAYASHI YOSHIYUKI

SAKAMOTO JUNJI

OKADA YUKIO

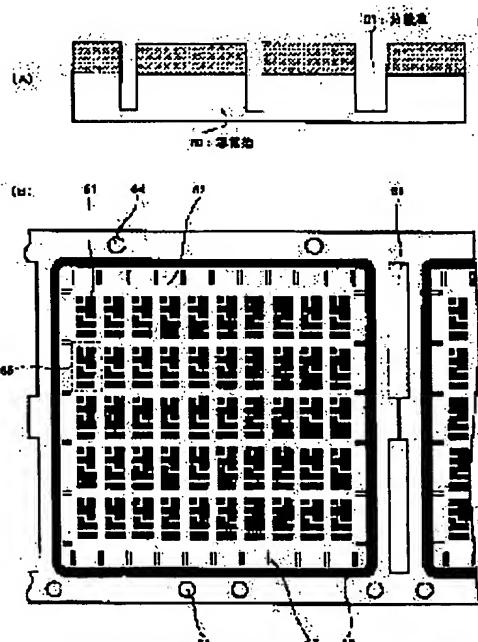
IGARASHI YUUSUKE

MAEHARA EIJIU

TAKAHASHI YUKITSUGU

---

(54) METHOD FOR MANUFACTURING CIRCUIT DEVICE



(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem of a circuit device which is mounted on a circuit element using a ceramic board or a flexible board as a supporting board that the thickness of the supporting board impedes reduction of size and thickness of the circuit device.

SOLUTION: After a conductive pattern 51 for each bock has been formed on a conductive foil 60 using isolation trenches 61, a circuit element is mounted and molded of insulating resin 50, before being isolated by a conductive pattern formed by etching the rear surface of the conductive foil. Furthermore, resource- saving manufacturing method of a circuit device suitable for mass production can be implemented, by introducing a measuring process for each bock and a dicing process.

---

LEGAL STATUS

[Date of request for examination] 07.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number] 3600131

[Date of registration] 24.09.2004

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

(19)日本特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-76246

(P2002-76246A)

(43)公開日 平成14年3月15日 (2002.3.15)

(51)Int.Cl.  
H 01 L 25/04  
25/18  
21/56  
23/50

識別記号

F I  
H 01 L 21/56  
23/50  
25/04

テ-ジ-ト\*(参考)  
T 5 F 0 6 1  
R 5 F 0 6 7  
Z

審査請求 未請求 請求項の数19 OL (全 10 頁)

(21)出願番号 特願2000-266737(P2000-266737)

(22)出願日 平成12年9月4日(2000.9.4)

(71)出願人 000001889

三洋電機株式会社  
大阪府守口市京阪本通2丁目5番5号

(72)発明者 坂本 則明

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72)発明者 小林 義幸

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(74)代理人 100091605

弁理士 岡田 敬 (外1名)

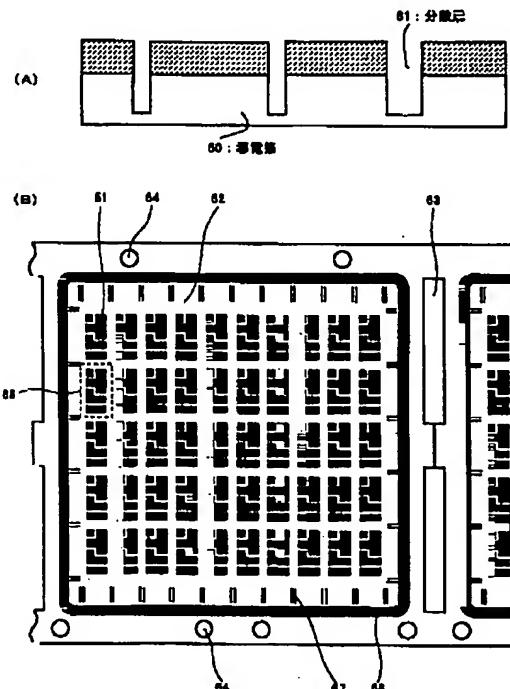
最終頁に続く

(54)【発明の名称】 回路装置の製造方法

(57)【要約】

【課題】 セラミック基板、フレキシブルシート等を支持基板として回路素子が実装された回路装置がある。しかしこれらの支持基板の厚みが、回路装置の小型薄型化の障害となる問題があった。

【解決手段】 导電箔60に分離溝61を用いてブロック毎の導電パターン51を形成した後、回路素子を実装し、絶縁性樹脂50でモールドし、導電箔の裏面をエッチングして導電パターンとして分離している。更にブロック毎の測定工程およびダイシング工程を導入して省資源で大量生産に適した回路装置の製造方法を実現できる。



【特許請求の範囲】

【請求項1】 導電箔を用意し、少なくとも回路素子の搭載部を多数個形成する導電パターンを除く領域の前記導電箔に前記導電箔の厚みよりも浅い分離溝を形成して導電パターンを形成する工程と、  
所望の前記導電パターンの前記各搭載部に回路素子を固定する工程と、  
各搭載部の前記回路素子を一括して被覆し、前記分離溝に充填されるように絶縁性樹脂で共通モールドする工程と、  
前記分離溝を設けていない厚み部分の前記導電箔を除去する工程と、  
前記絶縁性樹脂で一括してモールドされた各搭載部の前記回路素子の特性の測定を行う工程と、  
前記絶縁性樹脂を各搭載部毎にダイシングにより分離する工程とを備備することを特徴とする回路装置の製造方法。  
【請求項2】 導電箔を用意し、少なくとも回路素子の搭載部を多数個形成する導電パターンを除く領域の前記導電箔に前記導電箔の厚みよりも浅い分離溝を形成して導電パターンを形成する工程と、  
所望の前記導電パターンの前記各搭載部に回路素子を固定する工程と、  
前記各搭載部の回路素子の電極と所望の前記導電パターンとを電気的に接続する接続手段を形成する工程と  
各搭載部の前記回路素子を一括して被覆し、前記分離溝に充填されるように絶縁性樹脂で共通モールドする工程と、  
前記分離溝を設けていない厚み部分の前記導電箔を除去する工程と、  
前記絶縁性樹脂で一括してモールドされた各搭載部の前記回路素子の特性の測定を行う工程と、  
前記絶縁性樹脂を各搭載部毎にダイシングにより分離する工程とを備備することを特徴とする回路装置の製造方法。  
【請求項3】 前記導電箔は銅、アルミニウム、鉄ニッケルのいずれかで構成されることを特徴とする請求項1または請求項2に記載された回路装置の製造方法。  
【請求項4】 前記導電箔の表面を導電皮膜で少なくとも部分的に被覆することを特徴とする請求項1または請求項2に記載された回路装置の製造方法。  
【請求項5】 前記導電被膜はニッケル、金あるいは銀メッキ形成されることを特徴とする請求項4に記載された回路装置の製造方法。  
【請求項6】 前記導電箔に選択的に形成される前記分離溝は化学的あるいは物理的エッチングにより形成されることを特徴とする請求項1または請求項2に記載された回路装置の製造方法。  
【請求項7】 前記回路素子は半導体ペアチップ、チップ回路部品のいずれかあるいは両方を固定されることを

特徴とする請求項1または請求項2に記載された回路装置の製造方法。

【請求項8】 前記接続手段はワイヤーボンディングで形成されることを特徴とする請求項2に記載された回路装置の製造方法。

【請求項9】 前記絶縁性樹脂はトランスファーモールドで付着されることを特徴とする請求項1または請求項2に記載された回路装置の製造方法。

【請求項10】 前記導電箔には少なくとも回路素子の搭載部を多数個形成する導電パターンをマトリックス状に配列したブロックを複数個並べたことを特徴とする請求項1または請求項2に記載された回路装置の製造方法。

【請求項11】 前記絶縁性樹脂は前記ブロック毎にトランスファーモールドで付着されることを特徴とする請求項10に記載された回路装置の製造方法。

【請求項12】 前記絶縁性樹脂でモールドされた前記各ブロックは前記分離溝を設けていない厚み部分の前記導電箔を除去する工程の後に前記導電箔の残余部から分離されることを特徴とする請求項10に記載された回路装置の製造方法。

【請求項13】 前記絶縁性樹脂でモールドされた前記各ブロック毎に各搭載部の前記回路素子の特性の測定を行うことを特徴とする請求項10に記載された回路装置の製造方法。

【請求項14】 前記絶縁性樹脂でモールドされた前記各ブロック毎に各搭載部にダイシングにより分離することを特徴とする請求項10に記載された回路装置の製造方法。

【請求項15】 前記導電パターンと一緒に形成した合わせマークを用いてダイシングを行うことを特徴とする請求項14に記載された回路装置の製造方法。

【請求項16】 前記導電パターンと一緒に形成した対向する合わせマークを用いてダイシングを行うことを特徴とする請求項14に記載された回路装置の製造方法。

【請求項17】 前記絶縁性樹脂でモールドされた前記各ブロックは載置台に真空で吸着してダイシングを行うことを特徴とする請求項14に記載された回路装置の製造方法。

【請求項18】 前記絶縁性樹脂のダイシング時の切削深さをほぼ前記絶縁性樹脂の厚みとし、その後機械的に割って独立した回路装置に分離することを特徴とする請求項17に記載された回路装置の製造方法。

【請求項19】 前記絶縁性樹脂のダイシング時の切削深さを完全に前記絶縁性樹脂の厚み以上とし、ダイシング時に独立した回路装置に分離することを特徴とする請求項17に記載された回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、回路装置の製造方

法に関し、特に支持基板を不要にした薄型の回路装置の製造方法に関するものである。

## 【0002】

【従来の技術】従来、電子機器にセットされる回路装置は、携帯電話、携帯用のコンピューター等に採用されるため、小型化、薄型化、軽量化が求められている。

【0003】例えば、回路装置として半導体装置を例にして述べると、一般的な半導体装置として、従来通常のトランシスターモールドで封止されたパッケージ型半導体装置がある。この半導体装置は、図10のように、プリント基板PSに実装される。

【0004】またこのパッケージ型半導体装置は、半導体チップ2の周囲を樹脂層3で被覆し、この樹脂層3の側部から外部接続用のリード端子4が導出されたものである。

【0005】しかしこのパッケージ型半導体装置1は、リード端子4が樹脂層3から外に出ており、全体のサイズが大きく、小型化、薄型化および軽量化を満足するものではなかった。

【0006】そのため、各社が競って小型化、薄型化および軽量化を実現すべく、色々な構造を開発し、最近ではCSP(チップサイズパッケージ)と呼ばれる、チップのサイズと同等のウェハスケールCSP、またはチップサイズよりも若干大きいサイズのCSPが開発されている。

【0007】図11は、支持基板としてガラスエポキシ基板5を採用した、チップサイズよりも若干大きいCSP6を示すものである。ここではガラスエポキシ基板5にトランジスタチップTが実装されたものとして説明していく。

【0008】このガラスエポキシ基板5の表面には、第1の電極7、第2の電極8およびダイパッド9が形成され、裏面には第1の裏面電極10と第2の裏面電極11が形成されている。そしてスルーホールTHを介して、前記第1の電極7と第1の裏面電極10が、第2の電極8と第2の裏面電極11が電気的に接続されている。またダイパッド9には前記ペアのトランジスタチップTが固着され、トランジスタのエミッタ電極と第1の電極7が金属細線12を介して接続され、トランジスタのベース電極と第2の電極8が金属細線12を介して接続されている。更にトランジスタチップTを覆うようにガラスエポキシ基板5に樹脂層13が設けられている。

【0009】前記CSP6は、ガラスエポキシ基板5を採用するが、ウェハスケールCSPと違い、チップTから外部接続用の裏面電極10、11までの延在構造が簡単であり、安価に製造できるメリットを有する。

【0010】また前記CSP6は、図10のように、プリント基板PSに実装される。プリント基板PSには、電気回路を構成する電極、配線が設けられ、前記CSP6、パッケージ型半導体装置1、チップ抵抗CRまたは

チップコンデンサCC等が電気的に接続されて固着される。

【0011】そしてこのプリント基板で構成された回路は、色々なセットの中に取り付けられる。

【0012】つぎに、このCSPの製造方法を図12および図13を参照しながら説明する。

【0013】まず基材(支持基板)としてガラスエポキシ基板5を用意し、この両面に絶縁性接着剤を介してCu箔20、21を圧着する。(以上図12Aを参照) 続いて、第1の電極7、第2の電極8、ダイパッド9、第1の裏面電極10および第2の裏面電極11に対応するCu箔20、21に耐エッチング性のレジスト22を被覆し、Cu箔20、21をバーニングする。尚、バーニングは、表と裏で別々にしても良い。(以上図12Bを参照)

続いて、ドリルやレーザを利用してスルーホールTHのための孔を前記ガラスエポキシ基板に形成し、この孔にメッキを施し、スルーホールTHを形成する。このスルーホールTHにより第1の電極7と第1の裏面電極10、第2の電極8と第2の裏面電極10が電気的に接続される。(以上図12Cを参照)

更に、図面では省略をしたが、ボンディングポストとなる第1の電極7、第2の電極8にAuメッキを施すと共に、ダイボンディングポストとなるダイパッド9にAuメッキを施し、トランジスタチップTをダイボンディングする。

【0014】最後に、トランジスタチップTのエミッタ電極と第1の電極7、トランジスタチップTのベース電極と第2の電極8を金属細線12を介して接続し、樹脂層13で被覆している。(以上図12Dを参照)

以上の製造方法により、支持基板5を採用したCSP型の電気素子が完成する。この製造方法は、支持基板としてフレキシブルシートを採用しても同様である。

【0015】一方、セラミック基板を採用した製造方法を図13のフローに示す。支持基板であるセラミック基板を用意した後、スルーホールを形成し、その後、導電ペーストを使い、表と裏の電極を印刷し、焼結している。その後、前製造方法の樹脂層を被覆するまでは図12の製造方法と同じであるが、セラミック基板は、非常に柔軟性があり、フレキシブルシートやガラスエポキシ基板と異なり、直ぐに欠けてしまうため金型を用いたモールドができない問題がある。そのため、封止樹脂をポッティングし、硬化した後、封止樹脂を平らにする研磨を施し、最後にダイシング装置を使って個別分離している。

## 【0016】

【発明が解決しようとする課題】図11に於いて、トランジスタチップT、接続手段7～12および樹脂層13は、外部との電気的接続、トランジスタの保護をする上で、必要な構成要素であるが、これだけの構成要素で小型化、薄型化、軽量化を実現する回路素子を提供するの

は難しかった。

【0017】また、支持基板となるガラスエポキシ基板5は、前述したように本来不要なものである。しかし製造方法上、電極を貼り合わせるため、支持基板として採用しており、このガラスエポキシ基板5を無くすことができなかった。

【0018】そのため、このガラスエポキシ基板5を採用することによって、コストが上昇し、更にはガラスエポキシ基板5が厚いために、回路素子として厚くなり、小型化、薄型化、軽量化に限界があった。

【0019】更に、ガラスエポキシ基板やセラミック基板では必ず両面の電極を接続するスルーホール形成工程が不可欠であり、製造工程も長くなる問題もあった。

#### 【0020】

【課題を解決するための手段】本発明は、前述した多くの課題に鑑みて成され、導電箔を用意し、少なくとも回路素子の搭載部を多数個形成する導電パターンを除く領域の前記導電箔に前記導電箔の厚みよりも浅い分離溝を形成して導電パターンを形成する工程と、所望の前記導電パターンの前記各搭載部に回路素子を固着する工程と、各搭載部の前記回路素子を一括して被覆し、前記分離溝に充填されるように絶縁性樹脂で共通モールドする工程と、前記分離溝を設けていない厚み部分の前記導電箔を除去する工程と、前記絶縁性樹脂で一括してモールドされた各搭載部の前記回路素子の特性の測定を行う工程と、前記絶縁性樹脂を各搭載部毎にダイシングにより分離する工程とを具備することを特徴とする。

【0021】本発明では、導電パターンを形成する導電箔がスタートの材料であり、絶縁性樹脂がモールドされるまでは導電箔が支持機能を有し、モールド後は絶縁性樹脂が支持機能を有することで支持基板を不要にでき、従来の課題を解決することができる。また本発明では、モールド、測定およびダイシングをブロック毎にできるので、多数個の回路装置を量産でき、従来の課題を解決することができる。

#### 【0022】

【発明の実施の形態】まず本発明の回路装置の製造方法について図1を参照しながら説明する。

【0023】本発明は、導電箔を用意し、少なくとも回路素子の搭載部を多数個形成する導電パターンを除く領域の前記導電箔に前記導電箔の厚みよりも浅い分離溝を形成して導電パターンを形成する工程と、所望の前記導電パターンの前記各搭載部に回路素子を固着する工程と、各搭載部の前記回路素子を一括して被覆し、前記分離溝に充填されるように絶縁性樹脂で共通モールドする工程と、前記分離溝を設けていない厚み部分の前記導電箔を除去する工程と、前記絶縁性樹脂で一括してモールドされた各搭載部の前記回路素子の特性の測定を行う工程と、前記絶縁性樹脂を各搭載部毎にダイシングにより分離する工程から構成されている。

【0024】図1に示すフローは上述した工程とは一致していないが、Cu箔、Agメッキ、ハーフエッチングの3つのフローで導電パターンの形成が行われる。ダイボンドおよびワイヤーボンディングの2つのフローで各搭載部への回路素子の固着と回路素子の電極と導電パターンの接続が行われる。トランスマーキングのフローでは絶縁性樹脂による共通モールドが行われる。裏面Cu箔除去のフローでは分離溝のない厚み部分の導電箔のエッチングが行われる。裏面処理のフローでは裏面に露出した導電パターンの電極処理が行われる。測定のフローでは各搭載部に組み込まれた回路素子の良品判別や特性ランク分けが行われる。ダイシングのフローでは絶縁性樹脂からダイシングで個別の回路素子への分離が行われる。

【0025】以下に、本発明の各工程を図2～図9を参照して説明する。

【0026】本発明の第1の工程は、図2から図4に示すように、導電箔60を用意し、少なくとも回路素子52の搭載部を多数個形成する導電パターン51を除く領域の導電箔60に導電箔60の厚みよりも浅い分離溝61を形成して導電パターン51を形成することにある。

【0027】本工程では、まず図2Aの如く、シート状の導電箔60を用意する。この導電箔60は、ロウ材の付着性、ボンディング性、メッキ性が考慮されてその材料が選択され、材料としては、Cuを主材料とした導電箔、Alを主材料とした導電箔またはFe-Ni等の合金から成る導電箔等が採用される。

【0028】導電箔の厚さは、後のエッチングを考慮すると $10\mu m$ ～ $300\mu m$ 程度が好ましく、ここでは $70\mu m$ （2オンス）の銅箔を採用した。しかし $300\mu m$ 以上でも $10\mu m$ 以下でも基本的には良い。後述するように、導電箔60の厚みよりも浅い分離溝61が形成できればよい。

【0029】尚、シート状の導電箔60は、所定の幅、例えば45mmでロール状に巻かれて用意され、これが後述する各工程に搬送されても良いし、所定の大きさにカットされた短冊状の導電箔60が用意され、後述する各工程に搬送されても良い。

【0030】具体的には、図2Bに示す如く、短冊状の導電箔60に多数の搭載部が形成されるブロック62が4～5個離して並べられる。各ブロック62間にはスリット63が設けられ、モールド工程等での加熱処理で発生する導電箔60の応力を吸収する。また導電箔60の上下周端にはインデックス孔64が一定の間隔で設けられ、各工程での位置決めに用いられる。

【0031】続いて、導電パターンを形成する。

【0032】まず、図3に示す如く、Cu箔60の上に、ホトレジスト（耐エッチングマスク）PRを形成し、導電パターン51となる領域を除いた導電箔60が露出するようにホトレジストPRをバーニングする。

そして、図4 Aに示す如く、ホトレジストPRを介して導電箔60を選択的にエッチングする。

【0033】エッチングにより形成された分離溝61の深さは、例えば $50\mu m$ であり、その側面は、粗面となるため絶縁性樹脂50との接着性が向上される。

【0034】またこの分離溝61の側壁は、模式的にストレートで図示しているが、除去方法により異なる構造となる。この除去工程は、ウェットエッチング、ドライエッチング、レーザによる蒸発、ダイシングが採用できる。ウェットエッチングの場合、エッチャントは、塩化第二鉄または塩化第二銅が主に採用され、前記導電箔は、このエッチャントの中にディッピングされるか、このエッチャントでシャワーリングされる。ここでウェットエッチングは、一般に非異方性にエッチングされるため、側面は湾曲構造になる。

【0035】またドライエッチングの場合は、異方性、非異方性でエッチングが可能である。現在では、Cuを反応性イオンエッチングで取り除くことは不可能といわれているが、スパッタリングで除去できる。またスパッタリングの条件によって異方性、非異方性でエッチングできる。

【0036】またレーザでは、直接レーザ光を当てて分離溝61を形成でき、この場合は、どちらかといえば分離溝61の側面はストレートに形成される。

【0037】なお、図3に於いて、ホトレジストの代わりにエッチング液に対して耐食性のある導電被膜（図示せず）を選択的に被覆しても良い。導電路と成る部分を選択的に被着すれば、この導電被膜がエッチング保護膜となり、レジストを採用することなく分離溝をエッチングできる。この導電被膜として考えられる材料は、Ag、Ni、Au、PtまたはPd等である。しかもこれら耐食性の導電被膜は、ダイパッド、ポンディングパッドとしてそのまま活用できる特徴を有する。

【0038】例えばAg被膜は、Auと接着するし、ロウ材とも接着する。よってチップ裏面にAu被膜が被覆されていれば、そのまま導電路51上のAg被膜にチップを熱圧着でき、また半田等のロウ材を介してチップを固着できる。またAgの導電被膜にはAu細線が接着できるため、ワイヤーボンディングも可能となる。従ってこれらの導電被膜をそのままダイパッド、ポンディングパッドとして活用できるメリットを有する。

【0039】図4 Bに具体的な導電パターン51を示す。本図は図2 Bで示したブロック62の1個を拡大したものに対応する。黒く塗られた部分の1個が1つの搭載部65であり、導電パターン51を構成し、1つのブロック62には5行10列のマトリックス状に多数の搭載部65が配列され、各搭載部65毎に同一の導電パターン51が設けられている。各ブロックの周辺には枠状のパターン66が設けられ、それと少し離間してその内側にダイシング時の位置合わせマーク67が設けられてい

る。枠状のパターン66はモールド金型との嵌合に使用され、また導電箔60の裏面エッチング後には絶縁性樹脂50の補強をする働きを有する。

【0040】本発明の第2の工程は、図5に示す如く、所望の導電パターン51の各搭載部65に回路素子52を固着し、各搭載部65の回路素子52の電極と所望の導電パターン51とを電気的に接続する接続手段を形成することにある。

【0041】回路素子52としては、トランジスタ、ダイオード、ICチップ等の半導体素子、チップコンデンサ、チップ抵抗等の受動素子である。また厚みが厚くはなるが、CSP、BGA等のフェイスダウンの半導体素子も実装できる。

【0042】ここでは、ペアのトランジスタチップ52 Aが導電パターン51 Aにダイボンディングされ、エミッタ電極と導電パターン51 B、ベース電極と導電パターン51 Bが、熱圧着によるポールボンディングあるいは超音波によるウェッヂボンディング等で固着された金属細線55 Aを介して接続される。また52 Bは、チップコンデンサまたは受動素子であり、半田等のロウ材または導電ペースト55 Bで固着される。

【0043】本工程では、各ブロック62に多数の導電パターン51が集積されているので、回路素子52の固着およびワイヤーボンディングが極めて効率的に行える利点がある。

【0044】本発明の第3の工程は、図6に示す如く、各搭載部63の回路素子52を一括して被覆し、分離溝61に充填されるように絶縁性樹脂50で共通モールドすることにある。

【0045】本工程では、図6 Aに示すように、絶縁性樹脂50は回路素子52 A、52 Bおよび複数の導電パターン51 A、51 B、51 Cを完全に被覆し、導電パターン51間の分離溝61には絶縁性樹脂50が充填されてた導電パターン51 A、51 B、51 Cの側面の湾曲構造と嵌合して強固に結合する。そして絶縁性樹脂50により導電パターン51が支持されている。

【0046】また本工程では、トランスファーモールド、インジェクションモールド、またはディッピングにより実現できる。樹脂材料としては、エポキシ樹脂等の熱硬化性樹脂がトランスファーモールドで実現でき、ポリイミド樹脂、ポリフェニレンサルファイド等の熱可塑性樹脂はインジェクションモールドで実現できる。

【0047】更に、本工程でトランスファーモールドあるいはインジェクションモールドする際に、図6 Bに示すように各ブロック62は1つの共通のモールド金型に搭載部63を納め、各ブロック毎に1つの絶縁性樹脂50で共通にモールドを行う。このために従来のトランスファーモールド等の様に各搭載部を個別にモールドする方法に比べて、大幅な樹脂量の削減が図れる。

【0048】導電箔60表面に被覆された絶縁性樹脂5

0の厚さは、回路素子52のポンディングワイヤー55 Aの最頂部から約100μm程度が被覆されるように調整されている。この厚みは、強度を考慮して厚くすることも、薄くすることも可能である。

【0049】本工程の特徴は、絶縁性樹脂50を被覆するまでは、導電パターン51となる導電箔60が支持基板となることである。従来では、図12の様に、本来必要としない支持基板5を採用して導電路7~11を形成しているが、本発明では、支持基板となる導電箔60は、電極材料として必要な材料である。そのため、構成材料を極力省いて作業できるメリットを有し、コストの低下も実現できる。

【0050】また分離溝61は、導電箔の厚みよりも浅く形成されているため、導電箔60が導電パターン51として個々に分離されていない。従ってシート状の導電箔60として一体で取り扱え、絶縁性樹脂50をモールドする際、金型への搬送、金型への実装の作業が非常に楽になる特徴を有する。

【0051】本発明の第4の工程は、図6に示す如く、分離溝61を設けていない厚み部分の導電箔60を除去することにある。

【0052】本工程は、導電箔60の裏面を化学的および/または物理的に除き、導電パターン51として分離するものである。この工程は、研磨、研削、エッチング、レーザの金属蒸発等により施される。

【0053】実験では研磨装置または研削装置により全面を30μm程度削り、分離溝61から絶縁性樹脂50を露出させている。この露出される面を図6では点線で示している。その結果、約40μmの厚さの導電パターン51となって分離される。また、絶縁性樹脂50が露出する手前まで、導電箔60を全面ウェトエッティングし、その後、研磨または研削装置により全面を削り、絶縁性樹脂50を露出させても良い。更に、導電箔60を点線で示す位置まで全面ウェトエッティングし、絶縁性樹脂50を露出させても良い。

【0054】この結果、絶縁性樹脂50に導電パターン51の裏面が露出する構造となる。すなわち、分離溝61に充填された絶縁性樹脂50の表面と導電パターン51の表面は、実質的に一致する構造となっている。従って、本発明の回路装置53は図11に示した従来の裏面電極10、11のように段差が設けられないため、マウント時に半田等の表面張力でそのまま水平に移動してセルフアラインできる特徴を有する。

【0055】更に、導電パターン51の裏面処理を行い、図7に示す最終構造を得る。すなわち、必要によって露出した導電パターン51に半田等の導電材を被着し、回路装置として完成する。

【0056】本発明の第5の工程は、図8に示す如く、絶縁性樹脂50で一括してモールドされた各搭載部63の回路素子52の特性の測定を行うことにある。

【0057】前工程で導電箔60の裏面エッティングをした後に、導電箔60から各ブロック62が切り離される。このブロック62は絶縁性樹脂50で導電箔60の残余部と連結されているので、切断金型を用いず機械的に導電箔60の残余部から剥がすことで達成できる。

【0058】各ブロック62の裏面には図8に示すように導電パターン51の裏面が露出されており、各搭載部65が導電パターン51形成時と全く同一にマトリックス状に配列されている。この導電パターン51の絶縁性樹脂50から露出した裏面電極56にプローブ68を当てて、各搭載部65の回路素子52の特性パラメータ等を個別に測定して良不良の判定を行い、不良品には磁気インク等でマーキングを行う。

【0059】本工程では、各搭載部65の回路装置53は絶縁性樹脂50でブロック62毎に一体で支持されているので、個別にバラバラに分離されていない。従って、テスターの載置台に置かれたブロック62は搭載部65のサイズ分だけ矢印のように縦方向および横方向にピッチ送りをすることで、極めて早く大量にブロック62の各搭載部65の回路装置53の測定を行える。すなわち、従来必要であった回路装置の表裏の判別、電極の位置の認識等が不要にできるので、測定時間の大幅な短縮を図れる。

【0060】本発明の第6の工程は、図9に示す如く、絶縁性樹脂50を各搭載部65毎にダイシングにより分離することにある。

【0061】本工程では、ブロック62をダイシング装置の載置台に真空で吸着させ、ダイシングブレード69で各搭載部65間のダイシングライン70に沿って分離溝61の絶縁性樹脂50をダイシングし、個別の回路装置53に分離する。

【0062】本工程で、ダイシングブレード69はほぼ絶縁性樹脂50を切断する切削深さで行い、ダイシング装置からブロック62を取り出した後にローラでチョコレートブレークするとよい。あるいはダイシングブレード69は完全に絶縁性樹脂50を切断する切削深さで行い、載置台から直接吸着コレットでテーピングをしても良い。

【0063】なお、ダイシング時は予め前述した第1の工程で設けた各ブロックの周辺の枠状のパターン66の内側に設けた相対向する位置合わせマーク67を認識して、これを基準としてダイシングを行う。周知ではあるが、ダイシングは縦方向にすべてのダイシングライン70をダイシングをした後、載置台を90度回転させて横方向のダイシングライン70に従ってダイシングを行う。

【0064】

【発明の効果】本発明では、導電パターンの材料となる導電箔自体を支持基板として機能させ、分離溝の形成時あるいは回路素子の実装、絶縁性樹脂の被着時までは導

電箔で全体を支持し、また導電箔を各導電パターンとして分離する時は、絶縁性樹脂を支持基板にして機能させている。従って、回路素子、導電箔、絶縁性樹脂の必要最小限で製造できる。従来例で説明した如く、本來回路装置を構成する上で支持基板が要らなくなり、コスト的にも安価にできる。また支持基板が不要であること、導電パターンが絶縁性樹脂に埋め込まれていること、更には絶縁性樹脂と導電箔の厚みの調整が可能であることにより、非常に薄い回路装置が形成できるメリットもある。

【0065】次に、本発明では絶縁性樹脂のモールド工程でブロック毎の共通モールドを行うことにより大幅な樹脂量の削減が図れる。更に、測定工程およびダイシング工程でブロック毎に処理を行える利点を有する。従って、測定工程では極めて早く大量にブロックの各搭載部の回路装置の測定を行え、従来必要であった回路装置の表裏の判別、電極の位置の認識等が不要にできるので、測定時間の大幅な短縮を図れる。またダイシング工程では位置合わせマークを用いてダイシングラインの認識が早く確実に行われる利点を有する。更にダイシングは絶縁性樹脂層のみの切断でよく、導電箔を切断しないことによりダイシングブレードの寿命も長くでき、導電箔を切断する場合に発生する金属バリの発生もない。更にまたダイシングシートを用いないので、ダイシングシートへのブロックの貼り付け作業や剥離作業も不要となる。

【0066】また図13から明白なように、スルーホールの形成工程、導体の印刷工程（セラミック基板の場合）等を省略できるので、従来より従来より製造工程を大幅に短縮でき、全行程を内作できる利点を有する。またフレーム金型も一切不要であり、極めて短納期となる製造方法である。

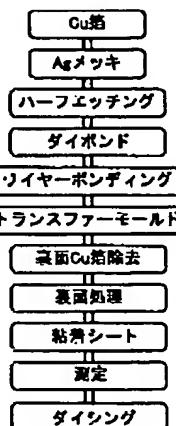
## 【図面の簡単な説明】

- 【図1】本発明の製造フローを説明する図である。
- 【図2】本発明の回路装置の製造方法を説明する図である。
- 【図3】本発明の回路装置の製造方法を説明する図である。
- 【図4】本発明の回路装置の製造方法を説明する図である。
- 【図5】本発明の回路装置の製造方法を説明する図である。
- 【図6】本発明の回路装置の製造方法を説明する図である。
- 【図7】本発明の回路装置の製造方法を説明する図である。
- 【図8】本発明の回路装置の製造方法を説明する図である。
- 【図9】本発明の回路装置の製造方法を説明する図である。
- 【図10】従来の回路装置の実装構造を説明する図である。
- 【図11】従来の回路装置を説明する図である。
- 【図12】従来の回路装置の製造方法を説明する図である。
- 【図13】従来の回路装置の製造方法を説明する図である。

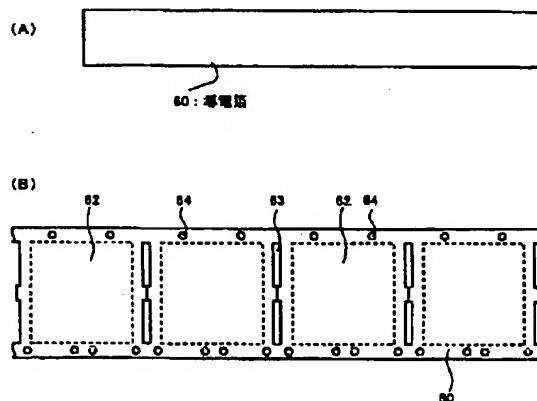
## 【符号の説明】

5 0	絶縁性樹脂
5 1	導電パターン
5 2	回路素子
5 3	回路装置
6 1	分離溝
6 2	ブロック

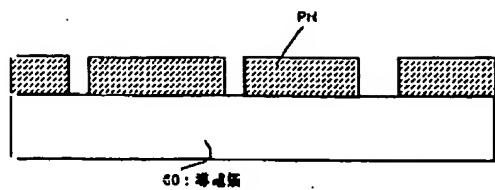
【図1】



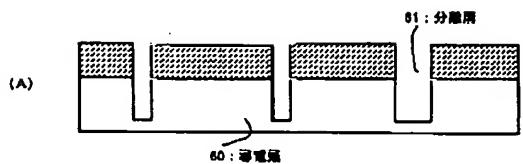
【図2】



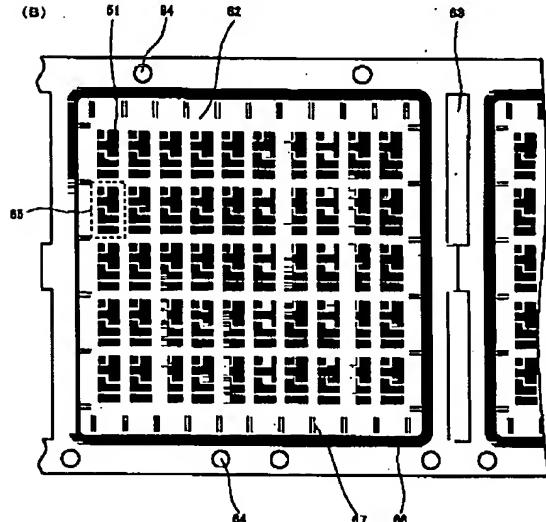
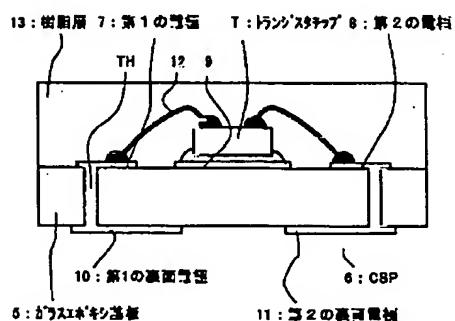
【図3】



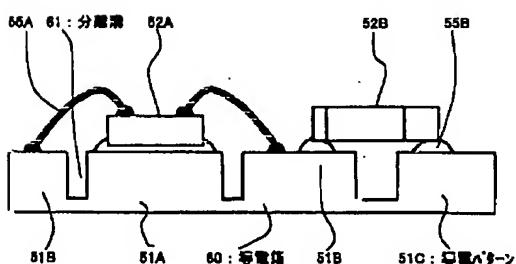
【図4】



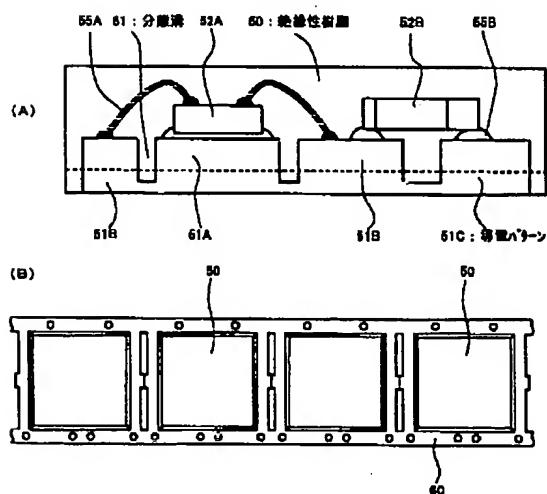
【図11】



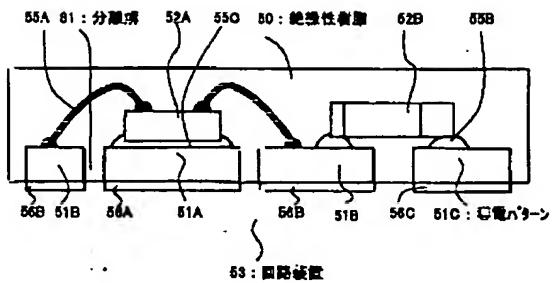
【図5】



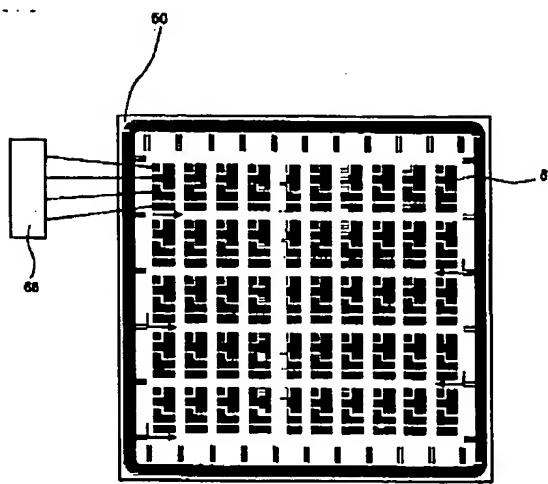
【図6】



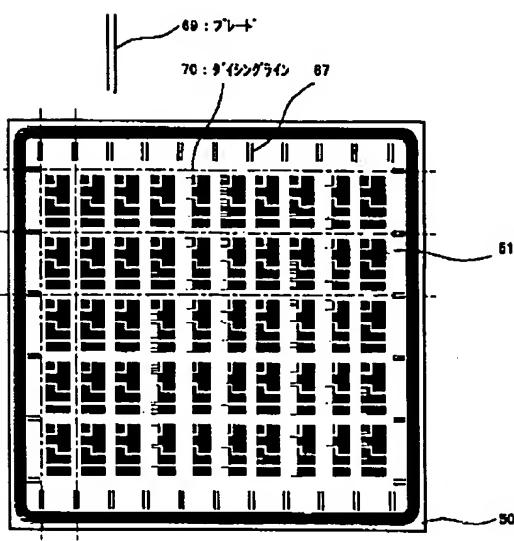
【図7】



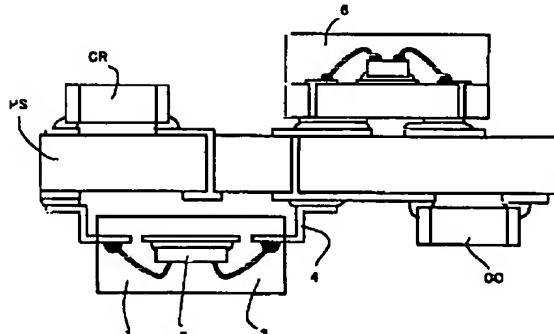
【図8】



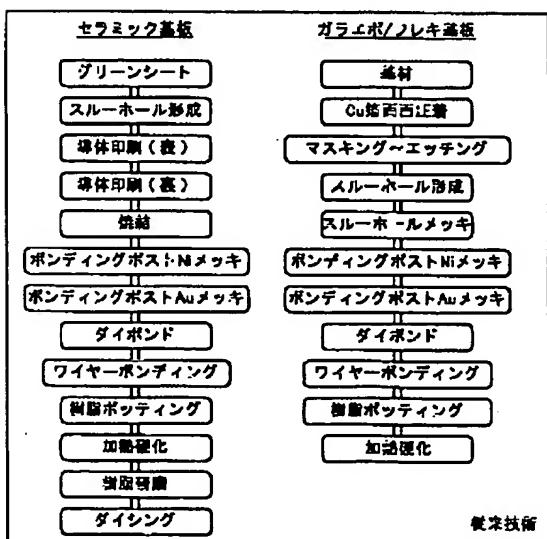
【図9】



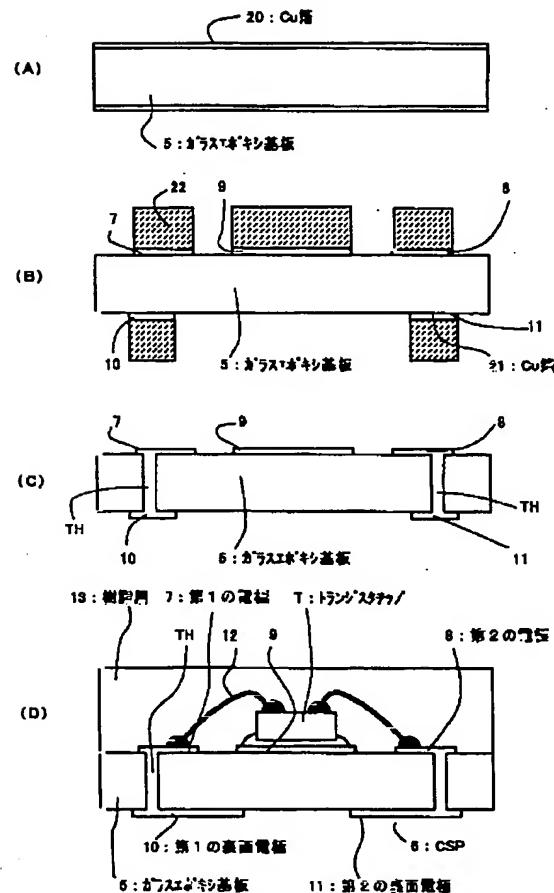
【図10】



【図13】



【図12】




---

フロントページの続き

(72)発明者 阪本 純次  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内  
(72)発明者 岡田 幸夫  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内  
(72)発明者 五十嵐 優助  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72)発明者 前原 栄寿  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内  
(72)発明者 高橋 幸嗣  
群馬県伊勢崎市喜多町29番地 関東三洋電  
子株式会社内  
Fターム(参考) 5F061 AA01 BA01 BA03 CA21 DD12  
DD13 FA02  
5F067 AA01 AB00 AB04 DA16 DE01